



[Claim 1]

A multi-layer board having a plurality of wiring layers, on both surfaces of which at least a tuner circuit and a digital circuit are packaged, comprising:

a tuner circuit packaged region provided on one packaged surface side;

a digital circuit packaged region provided on the other packaged surface side; and

an overall conductor layer provided on an overall region corresponding to at least the tuner circuit packaged region within the board.

[Claim 2]

The multi-layer board according to Claim 1, wherein in a wiring layer between the overall conductor layer and one packaged surface, on which the tuner circuit packaged region is provided, a region corresponding to at least the tuner circuit packaged region is prohibited from forming a wiring pattern for the digital circuit, and wherein the region is a region in which a wiring pattern having a sufficient pattern width to be affected by a noise constituent from the digital circuit is prohibited from being formed.

[Claim 3]

The multi-layer board according to Claim 1, wherein in a wiring layer between the overall conductor layer and one packaged surface, on which the tuner circuit packaged region

is provided, a region corresponding to at least the tuner circuit packaged region is a region in which formation of all wiring patterns has been prohibited.

[Claim 4]

A board module, comprising:

a multi-layer board having a plurality of wiring layers;

a tuner circuit packaged on one surface of the multi-layer board;

a digital circuit packaged on the other surface of the multi-layer board; and

an overall conductor layer provided on an overall region corresponding to at least the tuner circuit packaged region within the multi-layer board.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-290055

(43)公開日 平成10年(1998)10月27日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 5 K 1/02

H 0 5 K 1/02

P

9/00

9/00

R

// H 0 1 L 27/00

3 0 1

H 0 1 L 27/00

3 0 1 H

H 0 3 J 5/00

H 0 3 J 5/00

D

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21)出願番号

特願平9-94145

(22)出願日

平成9年(1997)4月11日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 宮下 昌朋

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 本橋 伸郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

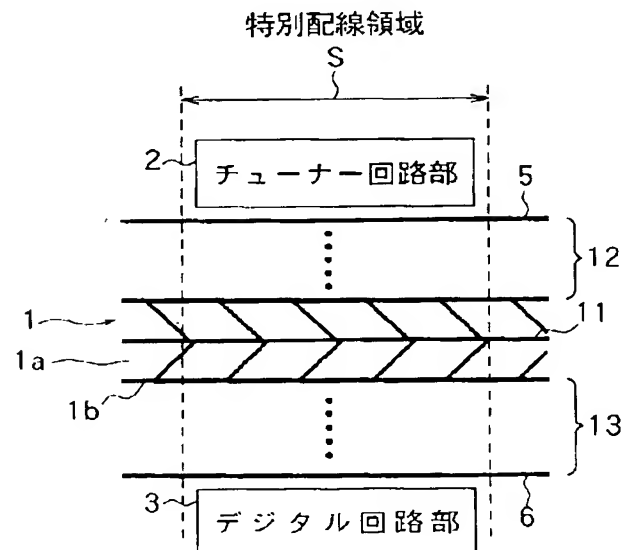
(74)代理人 弁理士 藤島 洋一郎

(54)【発明の名称】 多層基板および基板モジュール

(57)【要約】

【課題】 デジタル回路に起因するチューナー回路への各種ノイズの影響を低減しつつ、複数回路を高密度で実装し、小型化を図る。

【解決手段】 多層基板1内部の少なくともチューナー回路部2の実装領域に対応する特別配線領域Sにおいて、全ての領域が導体からなる全面導体層11が設けられており、さらに、全面導体層11およびチューナー回路実装面5の間の領域がデジタルパターンと共にベタパターンをも禁止するデジタルパターン禁止層12となっているので、デジタル回路部3に起因する各種ノイズがチューナー回路部2に与える影響を低減することができる。



## 【特許請求の範囲】

【請求項1】 複数の配線層を有し、少なくともチューナー回路とデジタル回路とが両面実装される多層基板であって、

一方の実装面側に設けられたチューナー回路実装領域と、

他方の実装面側に設けられたデジタル回路実装領域と、基板内部の、少なくとも前記チューナー回路実装領域に対応する領域の全面に設けられた全面導体層とを備えたことを特徴とする多層基板。

【請求項2】 前記全面導体層と前記チューナー回路実装領域が設けられた一方の実装面との間の配線層において、少なくとも前記チューナー回路実装領域に対応する領域が、前記デジタル回路用の配線パターンの形成が禁止されると共に、前記デジタル回路からのノイズ成分の影響を受けるだけのパターン幅を有する配線パターンの形成が禁止された領域となっていることを特徴とする請求項1記載の多層基板。

【請求項3】 前記全面導体層と前記チューナー回路実装領域が設けられた一方の実装面との間の配線層において、少なくとも前記チューナー回路実装領域に対応する領域が、全ての配線パターンの形成が禁止された領域となっていることを特徴とする請求項1記載の多層基板。

【請求項4】 複数の配線層を有した多層基板と、この多層基板の一方の面に実装されたチューナー回路と、前記多層基板の他方の面に実装されたデジタル回路と、前記多層基板内部の、少なくとも前記チューナー回路の実装領域に対応する領域の全面に設けられた全面導体層とを備えたことを特徴とする基板モジュール。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、少なくともチューナー回路とデジタル回路とが両面実装される多層基板および少なくともチューナー回路とデジタル回路とが混在する基板モジュールに関する。

## 【0002】

【従来の技術】 従来、少なくともチューナー回路とデジタル回路とが混在する複数の回路が同一基板上に実装されてなる基板モジュール、例えば、一般TV（テレビジョン）用のテレビ信号をデジタル信号に変換してパソコン（パーソナルコンピュータ）等の情報端末機器上で扱えるようにするビデオキャプチャ等の基板モジュールにおいては、ビデオデコーダ等のデジタル回路に起因する各種ノイズがチューナー回路における受信感度に影響を与えるおそれがある。例えば、デジタル回路におけるシステムクロックの高調波成分がチューナー回路で受信する受信周波数に一致するような場合には、上記システムクロックの高調波成分（例えば13.5MHz）が輻射ノイズとなりチューナー回路のC/N比（搬送波電力

対雑音電力比）を悪化させる。また、システムクロック等の高調波成分は、グラウンド（アース）用の配線パターン等のパターン幅の広い配線パターン同士に影響を与えることによりコモンモードノイズも生じさせる。このようなデジタル回路に起因する各種ノイズがある場合には、特に弱電界中におけるチューナー回路の受信性能に影響を及ぼす。

【0003】 従って、このようなデジタル回路に起因する各種ノイズの影響を避けるため、従来では基板の同一面上にチューナー回路とデジタル回路とを配置するような構造が採られている。

【0004】 図9は、上記のようなチューナー回路とデジタル回路とが同一基板上に混在する従来の基板モジュールにおける基板の実装構造の一例を示す外観図である。

【0005】 この図に示したように、従来では、基板100の同一面上においてチューナー回路部200とデジタル回路部300とが実装されて配置される。また、この図の例では、チューナー回路部200とデジタル回路部300とが隣り合わないように、その他の回路部400が両回路部の間に挟まれて配置されるようになっている。これにより、デジタル回路部300に起因する各種ノイズがチューナー回路部200における受信感度へ与える影響を低減するようになっている。

## 【0006】

【発明が解決しようとする課題】 しかしながら、上記のような従来の技術では、基板の同一面上にチューナー回路部200とデジタル回路部300とを配置するような構造を採っているため、基板全体が大型化してしまうという問題があった。

【0007】 そこで、基板の大型化を避けるために多層基板を用いてその両面にチューナー回路部200とデジタル回路部300とを別々に配置するという方法も考えられる。しかしながら、多層基板の両面にチューナー回路部200とデジタル回路部300とを別々に配置する場合には、デジタル回路部300に起因する各種ノイズを防止するためにチューナー回路部200とデジタル回路部300とが基板の厚み方向において重複しないように配置しなければならない。

【0008】 図10は、多層基板100Aを用いてチューナー回路部200とデジタル回路部300とそれぞれ異なる実装面に配置するようにした基板の実装構造の一例を示す外観図である。このように多層基板100Aの両面に各回路部を配置することで、図9に示したような同一面上に全ての回路部を配置する場合よりも基板の小型化を図ることができるが、チューナー回路部200とデジタル回路部300とが基板の厚み方向において重複しないように配置しなければならないという制限があるため、小型化を充分に行うことができず、高密度実装の妨げになるという問題がある。

【0009】本発明はかかる問題点に鑑みてなされたもので、その目的は、デジタル回路に起因するチューナー回路への各種ノイズの影響を低減しつつ、両回路を高密度で実装して小型化を図ることが可能な多層基板および基板モジュールを提供することにある。

【0010】

【課題を解決するための手段】本発明による多層基板は、一方の実装面側に設けられたチューナー回路実装領域と、他方の実装面側に設けられたデジタル回路実装領域と、基板内部の、少なくともチューナー回路実装領域に対応する領域の全面に設けられた全面導体層とを備えている。

【0011】また、本発明による基板モジュールは、複数の配線層を有した多層基板と、この多層基板の一方の面に実装されたチューナー回路と、多層基板の他方の面に実装されたデジタル回路と、多層基板内部の、少なくともチューナー回路の実装領域に対応する領域の全面に設けられた全面導体層とを備えている。

【0012】本発明の多層基板では、全面が導体により形成された全面導体層が、デジタル回路実装領域側から生ずる各種ノイズがチューナー回路実装領域へ透過するのを防止する。

【0013】本発明の基板モジュールでは、多層基板内に設けられた全面が導体の全面導体層が、デジタル回路側から生ずる各種ノイズがチューナー回路へ透過するのを防止する。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、以下の説明において、「モジュール」とは、組み合わせることで、ある1つのハードウェア・システムを作ることができる基本単位のことを意味するものであり、「基板モジュール」とは、組み合わせることで、ある1つのハードウェア・システムを作ることができる基板装置の基本単位のことを意味する。また、本発明による「多層基板」とは、3層以上の配線層を有する基板のほか、表裏面の2層に配線層を有する両面基板の意味をも含むものである。

【0015】【第1の実施の形態】図1は本発明の第1の実施の形態に係る基板モジュールの構造を表す外観図である。

【0016】図1に示した基板モジュールは、内部に複数の配線層を有する多層基板1と、この多層基板1の両面に実装されたチューナー回路部2、デジタル回路部3およびその他の回路部4とを備えて構成される。

【0017】チューナー回路部2は、各種周波数帯域の信号から所定のアナログ信号を選別するための回路等を有するものであり、また、デジタル回路部3は、例えばチューナー回路部2で選別したアナログ信号をデジタル信号に変換する回路等を有するものである。このチュー

ナー回路部2とデジタル回路部3は、多層基板1の両面において互いに対向する位置に実装されている。

【0018】図2は、図1の基板モジュールにおけるA-A'断面図であり、主に多層基板1の内部構造を説明するための図である。

【0019】この図に示したように、多層基板1は、基材1aとこの基材1aの表面上で配線パターンを形成する配線層1bとが交互に複数積層されてなる構造となっている。また、多層基板1の片面がチューナー回路部2が実装されるチューナー回路実装面5となっており、他面がデジタル回路部3が実装されるデジタル回路実装面6となっている。更に、多層基板1の内層部分において、少なくともチューナー回路部2の実装領域に対応する部分が特別配線領域Sとなっている。

【0020】特別配線領域Sにおいて多層基板1の内層構造は、全ての領域が導体からなる全面導体層11と、この全面導体層11およびチューナー回路実装面5の間の領域に設けられ、デジタル回路用の配線パターン（以下、「デジタルパターン」という。）が禁止されるデジタルパターン禁止層12と、全面導体層11およびデジタル回路実装面6の間の領域に設けられ、デジタルパターンが形成されるデジタルパターン層13とを備えた構造となっている。この特別配線領域Sにおける全面導体層11が、本発明における全面導体層に対応する。なお、特別配線領域S以外の領域における多層基板1の内層構造は、従来の多層基板の構造と同様であるため、その説明は省略する。

【0021】全面導体層11は、例えば銅箔等の導電材料で形成され、特別配線領域Sにおいて多層基板1の任意の内層に設けられることにより、デジタル回路部3のシステムクロック等の高調波成分が基板内部を透過してチューナー回路部2に到達するのを防止するようになっている。これにより、全面導体層11は、デジタル回路部3からの高調波成分がチューナー回路部2の受信周波数と一致して受信性能を低下させる輻射ノイズとなることを低減している。

【0022】デジタルパターン禁止層12は、デジタルパターンの形成を禁止することにより、デジタルパターンからの輻射ノイズがチューナー回路部2に到達することを防止するようになっている。また、デジタルパターン禁止層12は、チューナー回路部2等のアナログ回路におけるグラウンド（アース）用の配線パターン（以下、「グラウンドパターン」という。）等のいわゆるベタパターンの形成をも禁止する領域である。このように、デジタルパターン禁止層12は、パターン幅の比較的広いアナログ回路用のベタパターンの形成を禁止することにより、コモンモードノイズの発生を防止するようになっている。

【0023】以上説明した第1の実施の形態によれば、多層基板1内部の少なくともチューナー回路部2の実装

領域に対応する特別配線領域Sにおいて、全ての領域が導体からなる全面導体層11が設けられており、更に、全面導体層11およびチューナー回路実装面5の間の領域がデジタルパターンのみならずベタパターンをも禁止するデジタルパターン禁止層12となっているので、デジタル回路部3に起因する各種ノイズがチューナー回路部2に与える影響を低減することができる。

【0024】[第2の実施の形態] 上記第1の実施の形態においては、多層基板1内部に全面導体層11を設け、デジタル回路部3からのノイズ成分の透過を低減するようにしたが、デジタル回路部3からのノイズ成分が全面導体層11の電位を変動させるほど大きい場合には、この電位の変動によるノイズ成分が全面導体層11からチューナー回路部2へ透過して悪影響を与えるおそれがある。本実施の形態では、この全面導体層11からのノイズ成分の影響をも改善するものである。

【0025】図3は、本発明の第2の実施の形態に係る基板モジュールにおける多層基板1Aの構造を示す断面図である。

【0026】本実施の形態における多層基板1Aが上記第1の実施の形態における多層基板1の構造と異なるのは、全面導体層11およびチューナー回路実装面5の間の領域に全パターン禁止層12Aが設けられている点であり、その他の部分については上記第1の実施の形態とほぼ同様である。このため、ここでは全パターン禁止層12Aについての説明を中心に行い、他の部分については、その説明を省略する。

【0027】上記第1の実施の形態においては、全面導体層11およびチューナー回路実装面5の間の領域にデジタルパターン禁止層12を設け、デジタルパターンとアナログ回路用のベタパターンの形成とを禁止したが、本実施の形態における全パターン禁止層12Aは、全ての配線パターンの形成を禁止するようにしたものである。なお、全ての配線パターンの形成を禁止するため、チューナー回路部2とデジタル回路部3との回路接続は特別配線領域S以外の領域において行われるようになっている。

【0028】全パターン禁止層12Aは、全ての配線パターンの形成を禁止するものであるため、特別配線領域Sにおいて、全面導体層11およびチューナー回路実装面5の間の領域を、全て基材1aのみの領域とすることができる。

【0029】もし、全面導体層11の電位を変動させるほどデジタル回路部3からのノイズ成分が大きい場合には、上記第1の実施の形態のように、全面導体層11およびチューナー回路実装面5の間の領域に何らかの配線パターンがあると、全面導体層11とこの配線パターンとの間に静電容量が生じるおそれがあり、これがチューナー回路2に影響を及ぼす。

【0030】ここで、全面導体層11と配線パターンと

の間に生じる静電容量は、基材1aの誘電率を $\epsilon$ 、配線パターンの面積を $s$ 、全面導体層11と配線パターンとの間の距離を $d$ とすると、「 $\epsilon \cdot s / d$ 」で表される。

【0031】本実施の形態においては、全パターン禁止層12Aが設けられているので、全面導体層11およびチューナー回路実装面5の間の領域を全て基材1aとすることができる。これは、「 $\epsilon \cdot s / d$ 」の式の距離 $d$ を大きくしたことに相当するので、上記第1の実施の形態の場合よりは、静電容量の発生を抑えることができる。なおこの場合、全面導体層11の電位の変動によるノイズ成分に起因して静電容量を発生するおそれがあるのはチューナー回路実装面5上の配線パターンである。

【0032】また、基材1aにBT、PPE等の低誘電率の材質を用いることで、「 $\epsilon \cdot s / d$ 」の式で表される静電容量が下がるので、更に効果的に全面導体層11の電位の変動によるノイズ成分の透過を防ぐことができる。

【0033】以上説明した第2の実施の形態によれば、多層基板1内部の少なくともチューナー回路部2の実装領域に対応する特別配線領域Sにおいて、全面導体層11およびチューナー回路実装面5の間の領域が全ての配線パターンの形成を禁止する全パターン禁止層12Aとなっているので、デジタル回路部3からのノイズ成分が全面導体層11の電位を変動させるほど大きい場合にも、チューナー回路部2に与える各種ノイズの影響を低減することができる。

【0034】

【実施例】本実施例では、上記第2の実施の形態に係る多層基板をビデオキャプチャーモジュールに適用した一実施例について説明する。

【0035】図4は、ビデオキャプチャーモジュール40の回路構成を説明するブロック図である。

【0036】ビデオキャプチャーモジュール40は、アンテナ41で受信した一般TV用のアナログのテレビ信号をデジタル信号に変換してPDA(Personal Digital Assistants)、パソコン(PC)等の情報端末機器50上で扱えるようにするものである。このビデオキャプチャーモジュール40は、アンテナ41で受信したアナログのテレビ信号から所望の周波数帯域のテレビ信号を選別すると共に、この選別したアナログのテレビ信号をアナログの映像信号と音声信号とに分離して出力するチューナー・IF(中間周波数)復調回路(以下、「チューナー回路部」という。)42と、このチューナー回路部42から出力されたアナログの映像信号にデジタル処理を施すデジタル回路部43と、チューナー回路部42から出力された音声信号を右(R)チャンネルと左(L)チャンネルとに分離し、この分離された音声信号を増幅してスピーカ60に出力する音声多重復調回路44とを備えている。

【0037】チューナー回路部42は、選別した周波数

帯域のテレビ信号のうち映像信号に対しては、映像搬送波を分離する復調を行った後、この復調後の色信号、輝度信号等が含まれるアナログの映像信号をデジタル回路部43に出力する。また、音声信号に対しては、音声搬送波を分離する復調を行った後、この復調後の信号を一律にIF信号に変換し、更にこのIF信号を電圧値に変換した信号を音声多重復調回路44に出力する。

【0038】デジタル回路部43は、チューナー回路部42から出力されたアナログの映像信号をデジタル信号に変換して出力するデジタルビデオデコーダ43aと、このデジタルビデオデコーダ43aから出力されたデジタルの映像信号を情報端末機器50内のVGA（ビデオ・グラフィックス・アクセラレータ）等へ出力するインタフェース43bと、情報端末機器50に接続されてチューナー回路部42、デジタルビデオデコーダ43aおよび音声多重復調回路44の制御を行うマイコン（マイクロコンピュータ）43cとを備えている。

【0039】上記のような機能を有するビデオキャプチャモジュール40に第2の実施の形態に係る多層基板を適用した例を以下に説明する。

【0040】図5および図6は、本実施例に係るビデオキャプチャモジュール40の構成を表す外観図である。なお、図5はビデオキャプチャモジュール40を上方から見た外観図であり、図6はビデオキャプチャモジュール40を下方から見た外観図である。

【0041】ビデオキャプチャモジュール40は、内部に複数の配線層を有する多層基板10と、この多層基板10の両面に実装された各種回路とを備えて構成される。ここで、多層基板10の上面には、チューナー回路部42、情報端末機器50に接続するためのコネクタ71およびその他の回路72が実装される。また、多層基板10の下面には、チューナー回路部42に対向する位置にデジタル回路部43および音声多重復調回路44が実装される。

【0042】ここで、デジタル回路部43の各回路および音声多重復調回路44は、図7に示したように、それぞれ抵抗、コンデンサ等の各種回路素子からなるベアチップ81を直接多層基板10に搭載接続し、その後封止材82で多層基板10の表面に封止することによりベアチップ実装したものである。

【0043】図8は、ビデオキャプチャモジュール40の図5におけるB-B'断面図であり、主に多層基板10の内部構造を説明するための図である。

【0044】この図に示したように、多層基板10は、基材10aとこの基材10aの表面上で配線パターンを形成する配線層10bとが複数積層されてなる構造となっている。また、配線層10bは、第1層ないし第6層の6つの層からなり、このうち、第1層がデジタル回路部43の実装面6であり、第6層がチューナー回路部42の実装面5である。更に、多層基板10の第2層ない

し第5層の部分において、少なくともチューナー回路部42の実装領域に対応する部分が特別配線領域Sとなっている。

【0045】また、特別配線領域Sにおいて配線層10bの第2層および第3層は、デジタル回路部43用の配線パターンからなるデジタルパターン層13であり、第4層が全ての領域が導体からなる全面導体層11である。また、第5層が全ての配線パターンの形成が禁止された全パターン禁止層12Aとなっている。なお、この特別配線領域S以外の領域における多層基板10の内層構造は、従来の多層基板の構造と同様であるため、その説明は省略する。

【0046】このように、多層基板10内部の少なくともチューナー回路部42の実装領域に対応する特別配線領域Sにおいて、第4層に全ての領域が導体からなる全面導体層11が設けられており、更に、全面導体層11およびチューナー回路実装面5の間の領域の第5層が全ての配線パターンが禁止された全パターン禁止層12Aとなっているので、デジタル回路部43に起因する各種ノイズがチューナー回路部42に与える影響を低減することができる。

【0047】以上で説明した実施例によれば、チューナー回路部42とデジタル回路部43とを多層基板10の厚み方向において重複するように実装配置したとしても、多層基板10の内部構造がデジタル回路部43に起因する各種ノイズのチューナー回路部42への影響を低減するように工夫されているので、多層基板10の両面に効率よく各回路を配置することができる。これにより、基板の片側に各回路を配置していた従来のビデオキャプチャモジュールよりも、約50%の小型化を図ることができる。

【0048】なお、本発明は上記実施の形態および実施例に限定されず、種々の変形実施が可能である。例えば、上記実施例では本発明の多層基板をビデオキャプチャモジュールに適用した例について示したが、少なくともチューナー回路とデジタル回路とが実装されるような他の装置に適用してもよい。

【0049】また、上記実施例では配線層が6層である例を示したが、6層より少ないまたは多くの配線層を有していてもよい。更に、全面導体層11は、第4層以外の他の層に設けられていてもよく、また、複数層に亘って設けられていてもよい。また更に、全面導体層11は、銅箔に限らず他の導体により形成されていてもよい。また、全パターン禁止層12Aが全面導体層11およびチューナー回路実装面5の間の領域に複数設けられていてもかまわない。

【0050】

【発明の効果】以上説明したように請求項1ないし3のいずれか1に記載の多層基板によれば、全面が導体により形成された全面導体層が内部に設けられているので、

デジタル回路実装領域側から生ずる各種ノイズがチューナー回路実装領域へ透過するのを防止することができる。これにより、回路の実装時において、デジタル回路に起因するチューナー回路への各種ノイズの影響を低減しつつ、基板の両面に効率よく各回路を配置して高密度実装を行い、全体の小型化を図ることが可能となる。ここで、特に請求項2記載の多層基板によれば、全面導体層とチューナー回路実装領域が設けられた一方の実装面との間の配線層が、デジタル回路用の配線パターンの形成が禁止されると共に、デジタル回路からのノイズ成分の影響を受けるだけのパターン幅を有する配線パターンの形成が禁止された領域となっているので、各種ノイズの影響をより確実に低減することができる。また、請求項3記載の多層基板によれば、全面導体層とチューナー回路実装領域が設けられた一方の実装面との間の配線層が、全ての配線パターンの形成が禁止された領域となっているので、デジタル回路からのノイズ成分が全面導体層の電位を変動させるほど大きい場合にも、チューナー回路に与える各種ノイズの影響を低減することができる。

【0051】また、本発明の基板モジュールによれば、全面が導体の全面導体層が多層基板内部に設けられているので、デジタル回路側から生ずる各種ノイズがチューナー回路へ透過するのを防止することができる。これにより、デジタル回路に起因するチューナー回路への各種ノイズの影響を低減しつつ、多層基板の両面に効率よく各回路が配置されて高密度実装が行われ、全体の小型化が図られる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態における基板モジュールの構造を示す外観図である。

【図2】本発明の第1の実施の形態における多層基板の構造を示す断面図である。

【図3】本発明の第2の実施の形態における多層基板の構造を示す断面図である。

【図4】本発明の一実施例におけるビデオキャプチャーモジュールの回路構成を説明するブロック図である。

【図5】本発明の一実施例におけるビデオキャプチャーモジュールの構造を示す外観図である。

【図6】本発明の一実施例におけるビデオキャプチャーモジュールの構造を示す外観図である。

【図7】本発明の一実施例における回路の実装構造を示す一部断面図である。

【図8】本発明の一実施例における多層基板の構造を示す断面図である。

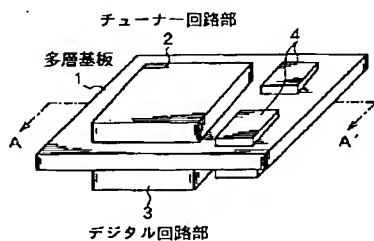
【図9】従来の技術による基板の実装構造を示す外観図である。

【図10】従来の技術による多層基板の実装構造を示す外観図である。

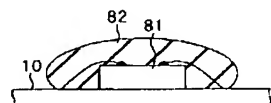
#### 【符号の説明】

1, 10…多層基板、2, 42…チューナー回路部、3, 43…デジタル回路部、4…その他の回路部、11…全面導体層、12…デジタルパターン禁止層、13…デジタルパターン層、40…ビデオキャプチャーモジュール、S…特別配線領域

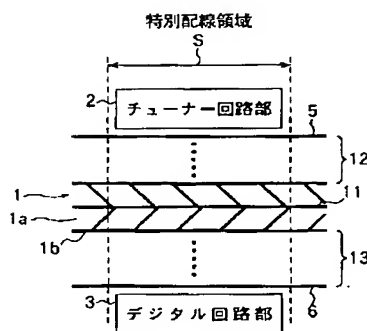
【図1】



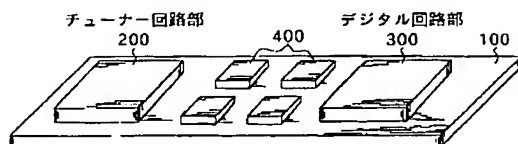
【図7】



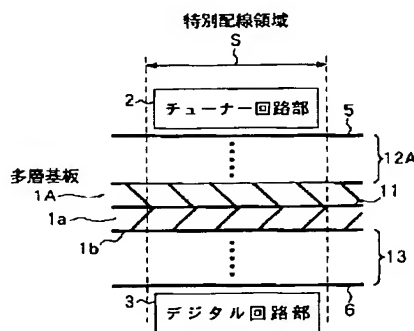
【図2】



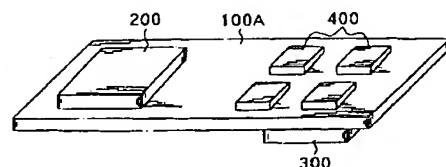
【図9】



【図3】

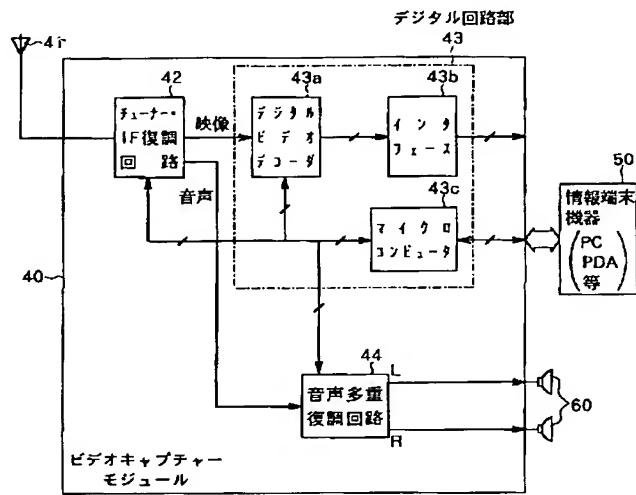


【図10】

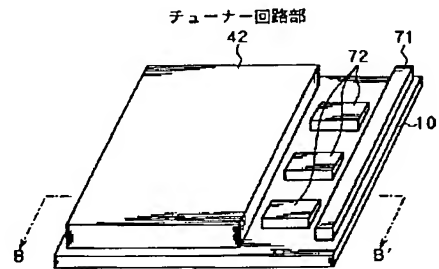




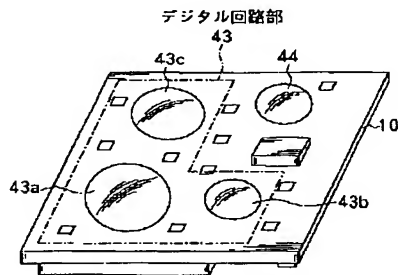
【図4】



【図5】



【図6】



【図8】

